

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
G02F 1/136

(11) 공개번호 특2001 - 0092396
(43) 공개일자 2001년10월24일

(21) 출원번호 10 - 2001 - 0014331
(22) 출원일자 2001년03월20일

(30) 우선권주장 특원2000 - 078504 2000년03월21일 일본 (JP)

(71) 출원인 닛뽀텐끼 가부시끼가이샤
니시가키 코지
일본국 도요쿄오도 미나토구 시바 5쵸오메 7반 1고

(72) 발명자 나카타신이치
일본국가고시마켄이즈미시오노하라마치2080가고시마닛뽀텐끼가부시끼가이샤내

(74) 대리인 최달용

심사청구 : 있음

(54) 능동 매트릭스 기판과 그 제조 방법

요약

IPS 시스템의 능동 매트릭스 기판에서, 본 발명은 아크릴 수지계의 감광성 수지를 사용하여 TFT를 피복하는 보호막의 패턴을 수행한다. 그리고, 보호막을 개구한 후 아크릴 수지를 그 자체로서 평탄화층으로 사용한다. 따라서, 평탄화층은 공정의 수를 증가하지 않고 보호막상에 형성될 수 있고, 마찰 불균일성을 억제하는 것이 가능하다.

대표도
도 5

색인어
액정 디스플레이 장치, 능동 매트릭스 기판,

명세서

도면의 간단한 설명

도 1은 종래의 IPS 시스템의 액정 디스플레이 장치의 단면도(도 2의 D-D 선).

도 2는 종래의 능동 매트릭스 기판의 평면도.

도 3은 일반 행전계 시스템의 액정 디스플레이 장치용 능동 매트릭스 기판의 회로 개념도.

도 4는 본 발명의 제 1의 실시예에 따른 능동 매트릭스 기판의 픽셀 전극부근을 나타내는 평면도.

도 5는 도 4의 절단선 A-A에 따른 단면도.

도 6a 내지 6d는 본 발명의 제 1의 실시예에 따른 능동 매트릭스 기판의 제조 방법을 제조 공정 순으로 도시하는 단면도.

도 7a 및 7b는 본 발명의 제 1의 실시예에 따른 능동 매트릭스 기판의 게이트 단자부의 전극 형성 공정을 설명하기 위한 단면도.

도 8a 내지 8b는 본 발명의 제 1의 실시예에 따른 능동 매트릭스 기판의 드레인 단자부의 전극 형성 공정을 설명하기 위한 단면도.

도 9는 본 발명의 제 2 실시예에 따른 능동 매트릭스 기판의 픽셀전극 부근을 나타내는 평면도.

도 10a 및 10b는 각각 도 9의 절단선 B-B 과 절단선 C-C에 따른 단면도.

도 11a 및 11b는 본 발명의 제 1의 실시예에 따른 능동 매트릭스 기판의 제조 방법을 제조 공정 순으로 도시하는 단면도.

도 12a 및 12b는 도 11b이후의 제조 공정을 도시하는 단면도.

◆ 도면의 주요 부호에 대한 부호의 설명 ◆

1 : 유리 기판 2 : 게이트 전극

3 : 공통 전극 4 : 게이트 절연층

5 : 반도체층 6 : 드레인 전극

7 : 소스 전극 8 : 보호막

9 : 평탄화층 10 : 얼라인먼트층

17 : 픽셀 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

발명의 분야

본 발명은 액정 디스플레이 장치에 사용되는 능동 매트릭스 기판에 관한 것으로, 특히, 행전계 시스템을 위해 디자인된 능동 매트릭스 기판과 그 제조 방법에 관한 것이다.

관련기술 설명

일반적으로, 트위스트 네마틱(TN)형 액정 디스플레이 장치는 기판에 거의 수직 방향에서 액정분자가 상승하기 때문에 가시각이 좁다는 문제점이 있다.

이와 반대로, 매트릭스 형태의 유리 기판 상에 형성된 박막 트랜지스터(이후 TFT라 칭함)가 형성되는 능동 매트릭스형 액정 디스플레이 장치와 TFT는 액정분자가 기판에 거의 평행한 면내에서 회전하기 때문에 TN형 액정 디스플레이 장치와 비교해 고해상도의 장점을 가진 스위칭 소자로 사용된다.

액정 디스플레이 장치의 가시각 특성을 향상시키는 방법으로서, 일본 특개평 제 5-505247호에서, IPS(In-Plane-Switching)의 약어, 이후 IPS라 칭함) 시스템의 액정 디스플레이 장치를 제안하였다.

IPS 액정 디스플레이 장치에서는, 두 개의 전극이 한 기판 상에 형성되어 있고, 기판과 수평의 전계를 생성하기 위해 이 두 전극사이에 전압이 인가된다. 그 후, 기판과 수평을 유지한 상태로 회전하도록 액정 분자가 구동된다. 이 방법에서, 전압이 인가될 때, 액정 분자의 장축은 기판과 수직인 표면에서 절대 상승하지 않는다. 이런 이유로 인해, 가시각이 변할 때 액정의 복굴절의 변화는 작기 때문에, 디스플레이 장치의 가시각은 넓어지게 된다.

두 개의 전극이 하나의 기판상에 형성되어 있는 IPS 시스템의 능동 매트릭스형 액정 디스플레이 장치는 아래에 기술된다.

이 IPS 시스템의 TFT 액정 디스플레이 장치는 도 1과 도 2에서 도시된 것과 같이 구성된다. 도 1은 도 2의 D-D 라인을 따른 단면도를 도시한다.

우선, 크롬으로 이루어진 게이트 전극(62)과 공통 전극(63)이 유리 기판(61)상에 형성된다. 그리고, 실리콘 질화물로 이루어진 게이트 절연층(64)이 이들 전극을 피복하도록 이들 전극 상에 형성된다. 게이트 전극(62) 상에서, 게이트 절연층(64)상에 반도체 영역(65)이 형성되어 트랜지스터의 활성층으로서 기능한다.

반도체층(65)은 트랜지스터의 활성층으로서의 기능을 위해 게이트 절연층(64)에 구성된다.

크롬으로 이루어진 드레인 전극(66)과 소스 전극(67)이 반도체 영역(65)의 일부를 중첩하도록 형성된다. 그리고 실리콘 질화물로 형성된 보호막(68)이 이들을 전체를 피복하도록 형성된다.

도 2에서 도시하는 바와 같이, 소스(67)의 확장선으로서의 픽셀 전극(77)과 공통 배선(263)의 확장선으로서의 공통 전극(63)의 사이에 픽셀구역이 배치된다. 상기와 같이 구성된 단위 픽셀이 매트릭스 형태로 배치되는 능동 매트릭스 기판의 표면에서, 얼라인먼트층(70)이 형성되고, 이 얼라인먼트층(70)의 표면이 연마 처리된다.

유리 기판(61)과 대향하는 대향 유리 기판(161)의 내부표면에, 얼라인먼트층(70, 170)이 서로 마주보도록 얼라인먼트층(170)이 마련되고, 그 후 액정 조성물(71)이 그 사이에 채워지도록 마련된다.

유리 기판(61, 161)의 외부 표면에서, 편광기(74, 174)가 각각 형성된다.

색필터층(72)을 분할하는 광실드층(73)이 반도체 영역(65)으로 이루어진 박막트랜지스터 위에 그 일부 영역이 배치되도록 형성된다.

대향기판(161)은 색필터층(72)이 광실드층(73)에 의해 분할된 기판(161)상에 형성되고, 또한 얼라인먼트층(170)이 색필터층(72)과 광실드층(73)위에 형성되어 이들을 피복하는 구조를 갖는다.

상기와 같이 구성된 능동 매트릭스형 액정 디스플레이장치에서, 액정 조성물에 전계가 인가되지 않을 때, 도 2의 평면도에서 도시하듯이, 액정 분자는 일반적인 평행상태로 도시된 액정분자(171)와 같이 전극과 평행한 방향으로 그리고 등방적으로 정렬된다.

특히, 액정 분자는 액정분자의 장축(광학상의 축)의 방향과 픽셀 전극(77)과 공통 전극(63) 사이에 형성된 전계 방향 사이의 각이 45° 이상 90° 미만인 되도록 배향된다.

액정 분자의 배향 방향은 도 1에서 도시된 바와 같이 유리 기판(61)의 표면과 평행하게 정렬된다. 액정 분자의 유전체 이방성은 양인 것으로 간주한다.

여기에서, 게이트 전극(62)에 전압이 인가되어 박막 트랜지스터(TFT)가 온 될 때, 전압은 소스 전극(67)과 픽셀 전극(77)에 인가되고, 픽셀 전극(77)과 공통 전극(63) 사이에 전계가 유도된다. 이 전계에 의해, 액정 분자(171)의 배향 방향은 전계의 방향과 더 가까워지도록 변하고, 그 결과 액정 분자(271)의 배열이 일치한다. 이 액정 분자는 픽셀 전극(77)과 공통 전극(63) 사이에 형성된 전계의 방향과 실제 평행하게 정렬된다. 소정의 각에서 편광기(74, 174)의 편광기 방위가 배치됨에 의해, 빛의 투과율은 상기 기술된 액정 분자의 움직임에 의해 변화될 수 있다.

상기 기술된 IPS 시스템의 능동 매트릭스형 액정 디스플레이 장치에서, 픽셀 전극(77)과 공통 전극(63) 사이에 전압을 인가함으로써 액정 분자의 장축은 기판 표면과 실질적으로 평행이고, 기판과 직각인 면으로 절대 상승하지 않는다. 이런 이유로, 가시각 방향이 변할 때, 휘도의 변화는 작고, 가시각 특성이 상당히 개선되는 효과를 갖는다.

그러나, 상기 상술된 IPS 시스템의 액정 디스플레이 장치는 능동 매트릭스 기판에서 특징을 갖지만, 하기에 상술되는 바와 같이 상기 특징에 의한 문제점도 갖는다.

즉, IPS 시스템에서, 인가된 전계 방향과 빛의 투과 방향이 다른 소자구성 때문에, 종래에 널리 사용된 TN 시스템과 달리, 액정을 구동하기 위한 전계를 형성하는 픽셀 전극과 공통 전극은 항상 투명해야 할 필요는 없다. 실제로, 저항이 적고, 쉽게 형성될 수 있기 때문에, 금속 전극을 사용하는 것이 바람직하다.

IPS 시스템의 액정 디스플레이 장치에서 픽셀 전극과 공통 전극의 두 전극은 빗살 모양과 비슷하고, 상호간에 빗살 사이에 삽입되어 형성되어 있다. 또한, 임계 전압이 낮은 더 균일한 횡전계를 얻기 위해, 전극 배선의 폭과 배선간의 거리는 정밀하게 형성되어야 한다.

그러나, 전극 배선의 폭과 배선사이의 거리를 정밀히 형성한 결과, TFT 구조 사용으로 인한 얼라인먼트 저하가 발생하는 것이 발견된다.

상세하게는, 액정을 조정하기 위해서는, 즉, 액정 층을 구성하는 액정 분자에 조정력(aligning force)을 가하기 위해서는, 일반적으로, 얼라인먼트층에의 연마 처리가 수행된다. 그러나, 그때 전극 사이의 높이에서의 관계에 의해 연마가 충분하지 못하거나, 연마되지 않은 결합 영역이 발생한다. 이 결합 영역은 특히 전극을 따라 근처에 위치하기 때문에, 디스플레이가 흑색 디스플레이 모드로 관찰될 때, 소위 흰색 편흔이라 불리는 것이 생성된다.

연마 처리에 의해 발생하는 조정력의 차이는 연마되는 층에 사용되는 섬유와 전극 사이의 오목부의 크기에 달려 있는 것으로 생각할 수 있다. 하지만, 전극 사이의 스텝이 있는 작은 영역은 쉽게 연마되고, 전극 사이의 스텝이 큰 영역은 연마되기 어렵기 때문에, 조정력이 다른 영역이 발생한다.

이 조정력의 차이로 인해, 액정의 얼라인먼트 균일성이 흐트러지게 된다. 얼라인먼트층의 표면의 스텝이 작거나 스텝이 없는 상태에서는, 얼라인먼트층에 대한 연마를 균일하게 수행하는 것이 쉽기 때문에, 결합이 있는 영역이 생성되지 않지만, 도 1의 단면도에 도시된 바와 같이, 픽셀 전극과 공통 전극에 의해 생성되는 보호막의 스텝이 얼라인먼트층의 표면의 스텝을 생성하고, 전극에 의한 스텝이 큰 경우, 연마가 어렵기 때문에, 얼라인먼트층에 결합 영역이 생성된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 이들 전극 사이의 높이차이나 그 전극 자체의 높이 차이에 의해 발생하는 스텝에 의한 얼라인먼트 저하를 억제하고, 양질의 연마 처리를 수행할 수 있게 하는 IPS 시스템의 능동 매트릭스 기판과 그 제조 방법을 제공하는 것이다.

본 발명은 IPS시스템의 능동 매트릭스 기판에 형성된 보호막으로 코팅된 평탄화층이 감광성 수지로 이루어진 것을 특징으로 한다.

본 발명의 제 1의 양상에 따른 능동 매트릭스 기판에서 있어서, 다수의 스위칭 소자는 각 스위칭 소자가 대응하는 픽셀 영역과 관련되도록 기판 상에 정렬된다.

게이트 전극은 스위칭 소자와 관련되도록 기판상에 형성되고, 데이터 전극도 스위칭 소자와 관련되도록 기판상에 정렬된다.

다수의 픽셀 전극 각각은 스위칭 소자와 결합되도록 기판상에 정렬된다.

공통 전극은 픽셀 영역을 결정하기 위한 픽셀 전극과 근접한 기판상에 형성되고, 게이트 전극과 공통 전극을 피복하도록 보호층이 스위칭 소자와 픽셀 전극상에 형성된다.

그 후, 감광성 수지로 이루어진 평탄화층이 보호층상에 형성된다.

상기 발명에서, 게이트 전극과 공통 전극은 게이트 절연층으로 공통으로 코팅되고, 픽셀 전극은 게이트 절연층상에 형성된다.

본 발명의 제 2 양상에 따른 능동 매트릭스 기판, 게이트 전극, 및 공통 전극은 게이트 전극 상의 게이트 절연층으로 이루어진 적층(animated layer)이 공통 전극상의 적층과 따로 떨어지도록 적층과 반도체층으로 코팅되며, 픽셀 전극은 적층으로부터 노출된 기판상에 형성된다.

본 발명의 양상에 따르면, 보호층은 게이트 전극의 단자 영역에서 단자 개구 영역을 구비한다.

감광성 수지는 아크릴 수지이고, 얼라인먼트층은 평탄화층에 형성되는 것이 바람직하다.

본 발명에 따르면, 액정층을 사이에 끼우도록 상기 언급된 능동 매트릭스 기판과 대향기판을 정렬함으로써 액정 디스플레이 장치가 얻어진다.

다음으로, 본 발명의 제 1의 양상에 따른 능동 매트릭스 기판의 제조 방법에서, 게이트 전극으로 또한 기능하는 게이트 배선과 공통 배선이 기판상에 형성된다.

게이트 배선과 공통 배선을 피복하도록 제 1의 절연층이 형성되고, 제 1 절연층상에 반도체층이 형성된다.

반도체층에 소스 배선이 연결되어 소스 전극으로 기능하고 반도체층에 드레인 배선이 연결되어 반도체층 상의 드레인 배선이 연결되어 반도체층상의 드레인 전극으로 기능한다.

소스 배선과 드레인 배선, 및 반도체층을 피복하도록 제 2의 절연층이 형성되고, 제 2 절연층상에 제 3의 절연층이 형성된다.

공통 전극과 픽셀 전극은 서로 평행으로 배치되도록 형성된다.

제 2 절연층의 상부층은 400nm 파장의 광으로 투명성을 측정할 때 90% 이상의 투명성을 지닌 감광성 수지로 구성된다.

본 발명의 제 2의 양상에 따른 능동 매트릭스 기판의 제조 방법에서, 게이트 배선과 공통 배선이 형성된 후, 제 1 절연층과 반도체층이 게이트 배선과 공통 배선에 순서대로 퇴적되고, 그 후, 제 1 절연층과 반도체층으로 구성된 적층된 구조 패턴을 생성하기 위해 동일 패턴으로 패턴화 된다.

본 발명의 제 3의 양상에 따른 능동 매트릭스 기판의 제조 방법에서, 게이트 배선과 공통 배선의 각 하부 표면 이외의 표면은 단자부와 종단부 이외의 영역의 제 1 절연층에 의해 피복된다.

본 발명의 제 4 양상에 따른 능동 매트릭스 기판의 제조 방법은, 감광성 수지는 감광성 수지를 코팅, 노광, 현상, 열처리 하여 생성하고, 제 2 절연층은 감광성 수지 아래에 보호막을 갖는다.

본 발명의 제 5의 양상에 따른 능동 매트릭스 기판의 제조 방법에 있어서, 게이트 배선의 단자와 드레인 배선의 단자에서 감광성 수지의 단자 개구 영역을 개구하고, 상기 감광성 수지의 단자 개구 영역을 통해 보호막의 단자 개구 영역을 더 개구함으로써, 제 2의 절연층에 단자 개구 영역이 형성된다.

본 발명의 상기 양상에 따르면, 감광성 수지는 아크릴 수지계로 구성되어 있고, 제 3 절연층은 얼라인먼트층이다.

발명의 구성 및 작용

도 5를 참조하면, 게이트 전극(2)과 공통 전극(3)은 유리 기판(1)에 형성되고, 게이트 절연층(4)이 이들을 피복하도록 형성된다. 그 위에, 게이트 전극과 중첩하도록 반도체 영역(5)이 형성된다. 소스 전극(7)과 데이터 전극 또는 드레인 전극(6)은 음 콘택트층(도시되지 않음)을 통해 반도체층(5)과 각각 연결되어 있다. 소스 전극(7)과 드레인 전극(6) 사이에서 연장된 음 콘택트층은 에칭되고,

소스 전극(7)과 반도체 영역(5) 및 드레인 전극(6)과 반도체 영역(5) 사이에만 각각 음 콘택트층(도시되지 않음)이 형성되는 구조가 이루어진다. 또한, 반도체 영역(5)의 일부로서, 반도체 영역(5)으로 약간 과도하게 음 콘택트층을 에칭함으로써 형성되는 후위 채널부를 포함하여, 보호막(8)이 이들을 피복하도록 형성되고, 평탄화층(9)이 그것을 피복하도록 형성되며, 또한 얼라인먼트층(10)이 최상부 층에서 형성된다. 다음 설명에서, 얼라인먼트층에 대한 설명은 간략화를 위해 생략한다.

평탄화층(9)의 제조 방법에서, 보호막(8)이 TFT의 후위 채널부를 피복하도록 형성되기 때문에, 드레인 단자(도시되지 않음)의 보호막(8), 드레인 배선(도시되지 않음), 드레인 전극(6) 및 소스 전극(7)은 외부 전기 신호원과 연결되기 위해 개구될 필요가 있다. 종래에는, 노보락 수지계의 감광성 레지스트가 보호막(8)을 코팅하고 있고, 단자부의 개구가 포토리소그래피 공정을 사용하여 형성되며, 그 후 드레인 단자상에 배치된 보호막(8)이 개구된다. 그러나, 이후, 노보락 수지는 고온의 환경에서 쉽게 흐르고 낮은 투명성을 보이기 때문에, 노보락 수지는 디스플레이 장치의 평탄화층으로 사용될 수 없으며, 따라서 노보락 수지계로 한 감광성 레지스트가 제거되어야만 한다. 대신, 본 발명에서는 아크릴 수지계의 감광성 수지를 코팅에 사용한다.

이 아크릴 수지계의 감광성 수지는 포토리소그래피에 의해 노광, 현상되고, 보호막이 개구될 필요가 있는 부분의 아크릴 수지는 제거된다.

다음으로, 도 7a 및 도 7b와 도 8a 및 도 8b에서 도시되듯이, 이 아크릴 수지계의 한 평탄화층(9)을 마스크로 사용하여 보호막(8)이 개구된 후, 한시간 동안 230℃에서 아크릴 수지를 굽는다. 그리고, 이것은 그 자체로서 TFT와 드레인 전극(도 6d)의 스텝 등을 나타내는 표면 비평탄성을 평탄화하기 위한 평탄화층(9)으로서 사용된다. 아크릴 수지의 투명성을 확보하기 위해, 양의 포토레지스트가 아크릴 수지의 감광제로 사용되는 경우, 아크릴 수지에 베이킹과 탈색처리가 수행되기 전에 아크릴 수지의 전체 표면이 노광된다.

본 발명의 능동 매트릭스 기판 제조 방법은 TFT와 전극 그룹에 의한 비평탄성이 평탄화되는 능동 매트릭스 기판이 공정수를 증가시키지 않으면서 상시 상술된 제조 방법에 의해 제조되는 것을 특징으로 한다.

다음으로, 본 발명의 제 1의 실시예가 도 3 내지 도 8b를 참조하여 상세히 설명될 것이다. 본 발명의 액정 디스플레이 장치는 TFT가 스위칭 소자로서 사용되는 예를 나타내며 설명될 것이다. 도 3은 액정 디스플레이 장치의 능동 매트릭스 기판의 구조를 도시하는 회로도이다.

유리 기판상에서, 게이트 배선(202: 게이트 배선은 게이트 단자(102)에서 도출된다)과 드레인 배선(206: 드레인 배선은 드레인 단자(106)에서 도출된다)은 서로 수직으로 교차하며 배치된다. 그리고, TFT(16)과 픽셀 전극(17)은 이들 신호선의 교차부에 대응하여 형성된다. 게이트 배선(202)은 TFT(16)의 게이트 전극과 연결되고, 픽셀에 대응하는 TFT(16)는 게이트 배선(202)을 통해 게이트 전극으로 입력되는 주사 신호에 의해 구동된다.

드레인 배선(206)은 TFT(16)의 드레인 전극에 연결되고, 드레인 전극에 데이터 신호를 입력한다. TFT(16)의 소스 전극(7)에는, 빔살 모양의 픽셀 전극(17)이 연결되어 소스 배선을 구성한다. 각 픽셀 전극은 부분적으로 게이트 절연층의 인접한 공통 배선(203: 공통 전극은 공통 단자(103)에서 도출된다)과 중복되고, 부가적인 커패시터 전극의 역할을 한다.

도 4와 도 5에 도시되듯이, 게이트 전극(2)은 유리 기판(1)에 형성되고, 게이트 절연층(4)은 그것을 피복하기 위해 형성된다. 그 위에 반도체 영역(5)이 게이트 전극(2)과 중복하도록 형성된다. 그리고 소스 전극(7)과 드레인 전극(6)은 각각 음 콘택트층(도시되지 않음)을 통해 반도체 영역(5)과 연결된다. 소스 전극(7)과 드레인 전극(6) 사이의 음 콘택트층은 에칭되고, 음 콘택트층(도시되지 않음)은 오직 소스 전극(7)과 반도체 영역(5), 및 드레인 전극(6)과 반도체 영역(5) 사이에서만 형성된다.

또한, 음 콘택트층이 에칭된 후위 채널부를 포함하여, 보호막(8)은 이들을 피복하도록 형성되고, 평탄화층(9)은 이들을 피복하도록 형성된다.

본 발명은 TFT를 피복하는 보호막(8)상에 유기막으로 이루어진 평탄화층(9)이 형성되는 어떠한 액정 디스플레이 장치에도 적용될 수 있다. 그리고, 색 필터층이나 흑색 매트릭스층은 본 발명의 또 다른 응용의 하나로서 평탄화층(9) 아래에 존재할 수도 있다.

또한, 스위칭 소자에는 특별한 제한이 없으며, TFT에 제한되는 것이 아니라, MIM, 다이오드등이 될 수도 있으며, 또한, TFT로서는, 게이트 전극이 반도체 영역 아래 위치되는 반전된 스테거형이 아니라 통상적인 스테거형이 될 수도 있다.

또한, 본 발명의 액정 디스플레이 장치에서, 상기 상술된 것 이외의 구조에 관해서는, 특별한 제한은 없으며, 예를 들면, 액정 재료, 얼라인먼트층, 대향기판, 대향기판용 전극 등은 능동 매트릭스형 액정 디스플레이 장치에 일반적으로 사용되는 것으로 구성될 수 있다.

본 발명의 제 1의 실시예의 제조 방법은 도 5의 단면구조를 획득하기 위한 제조 공정도인 도 6a 내지 8b를 참조하여 설명될 것이다.

도 6a 내지 6d는 픽셀 디스플레이 영역의 제조 방법을 도시하며, 도 7a 및 7b는 그 단자의 구조를 도시한다.

도 6a에서 도시하듯이, 예를 들어, 게이트 전극(2)과 공통 전극(3)이 유리 기판(1) 상에 형성된다. 이 공정은 종래 기술에 따라 다음과 같이 수행될 수 있다.

Al, Mo, Cr등으로 이루어진 도전층이 100~400nm 두께로 스퍼터링에 의해 유리 기판상에 퇴적되고, 디스플레이용 외부 신호 처리 기판에 연결된 게이트 단자(102)(도 7a와 7b), 게이트 배선(도시되지 않음), 게이트 전극(2), 및 공통 전극(3)은 포토리소그래피에 의해 형성된다.

다음으로, 도 6b에서 도시하듯이, 실리콘 질화물등으로 이루어진 게이트 절연층(4), 비결정 실리콘으로 이루어진 반도체층(5), 및 n+형의 비결정 실리콘으로 이루어진 음 콘택트층(반도체층에 포함되며, 그 설명은 생략됨)이 각각 약 400nm, 300nm, 50nm의 두께로 플라즈마 CVD에 의해 연속해서 유리 기판상에 퇴적되고, 반도체층과 음 콘택트층은 동일한 패턴으로 패턴화되어 반도체 영역(5)을 형성한다.

다음에, 도 6c에 도시된 바와 같이, Mo, Cr 등의 금속이 게이트 절연층(4)과 반도체 영역(5)의 음 콘택트층을 피복하도록 100nm 내지 200nm 두께로 스퍼터링에 의해 반도체층(5)을 피복하는 게이트 절연층(4)에 퇴적되고, 상기 금속은 포토리소그래피에 의해 디스플레이용 외부 신호 처리 기판이 연결된 드레인 단자(106)(도 8a 내지 8b), 소스 전극(7) 및 픽셀 전극(17), 드레인 배선(도시되지 않음), 및 드레인 전극(6)으로 패턴화되고, 그 연장으로서, 'TFT'의 후위 채널부를 형성하기 위해, 드레인 전극(6)과 소스 전극(7) 바로 아래 부분 이외의 불필요한 음 콘택트층은 제거된다.

다음에, 도 6d에 도시된 바와 같이, 드레인 단자(106)(도 8 참조), 드레인 전극(6), 드레인 배선(도시되지 않음), 소스 전극(7), 및 TFT의 후위 채널 영역을 피복하는 게이트 절연층(4)상에 실리콘 질화막과 같은 무기막으로 이루어진 보호막(8)이 플라즈마 CVD에 의해 약 100 내지 200nm 두께의 막으로 형성되어, 'TFT'의 후위 채널부, 소스 전극(7), 드레인 배선(도시되지 않음), 드레인 전극(6), 및 드레인 단자(106)(도 8a 및 도 8b)를 피복하게 된다.

이 보호막(8)이 단자 영역에서 개구되어야 할 필요가 있기 때문에, 아크릴 수지계의 감광성 수지(9)가 보호막(8)에 코팅되고, 그 후, 드레인 단자 위에서 개구된다.

아크릴 수지계의 감광성 수지(9)가 형성된 후, 드레인 단자의 보호막(8)은 다음과 같이 개구된다.

먼저, 아크릴 수지계의 감광성 수지(9)는 1200rpm의 회전속도로 보호막(8) 상에 코팅되고, 프리베이킹(pre-baking)으로서 3분 동안 90℃의 온도로 가열된다. 감광성 수지(9)는 g-선 노출광을 사용하는 경우 1.5J/cm²의 노광 강도에 의해 노광된다.

감광성 수지(9)는 100초 동안 0.2%의 TMAH(Tri-Methyl-Ammonium-Hydride) 용액의 현상액에 의해 현상된다.

감광성 수지(9)는 g-선 노출광을 사용하는 경우 600mJ/cm²의 노광 강도에 의해 후-노광(post-exposed)된다.

감광성 수지(9)는 포스트베이킹(post-baking)으로서 한시간 동안 230℃의 온도로 가열된다(도 7a와 도 8a).

보호막(8)은 250 sccm의 He-유량과 45sccm의 SF₆ 유량을 포함하는 에칭 가스와, 30Pa의 진공압, 1200W의 RF 전력, 플레이트의 표면 아래에서 기판 사이의 거리(이하 gap으로 칭함)가 150mm, 에칭시간 280초의 조건하에서, 드라이 에칭에 의해 감광성 수지(9)의 개구를 통해 개구된다(도 7b 및 도 8b).

이렇게 형성된 감광성 수지(9)는 그 자체로 TFT와 드레인 전극(도 6d)의 스텝등에 의해 생성된 보호막(8)의 불균일한 표면을 평탄화하기 위한 평탄화층(9)으로 사용된다. 이 때, 도 7b에서 도시하듯이, 게이트 단자(102)의 상층부가 게이트 절연층(4)과 보호막(8)에 의해 순서대로 피복되기 때문에, 보호막(9)이 개구된 후, 게이트 절연층(4)도 또한 개구부를 따라 개구된다. 아크릴 수지의 투명성을 확보하기 위해 포지티브 포토레지스트가, 아크릴 수지의 감광제로 사용되는 경우, 아크릴 수지의 전체 표면은 포스트 베이킹 이전에 후-노광(post-exposure)에 의해 노광되고, 그 후 아크릴 수지의 탈색 처리가 수행된다.

그 후, 상기 기술된 것과 같이 제조된 기판은 통상의 제조 방법에 따라 대향기판과 대향되도록 배치되고, 그 후 두 기판 사이에 액정이 삽입되어 액정 디스플레이 장치를 완성하게 된다.

상기 기술 한 것과 같이, 본 실시예에 따르면, 보호막상에 평탄화층을 형성함으로써, IPS 시스템의 액정 디스플레이 장치에서, TFT와 드레인 전극의 비평탄성에 의한 불균일한 연마로 인해 야기되는 결함이 있는 얼라인먼트층이 억제된다.

또한, 본 실시예에서, 아크릴 수지계의 감광성 수지를 사용함으로써 보호막 상에 평탄화층이 형성하는 것에 의해, 평탄화층은 공정의 수를 증가하지 않으면서 형성될 수 있다.

다음으로, 본 발명의 제 2의 실시예가 도 9 내지 도 12b를 참조하여 설명될 것이다.

우선, 게이트 전극(32), 게이트 배선(232) 및 공통 전극(33)이 유리 기판(31)상에 형성되고(도 11a), 게이트 절연층과 반도체층이 이들을 피복하도록 형성된다. 그 후, 먼저, 게이트 전극(32), 게이트 배선(232), 공통 전극(33), 및 공통 배선(233)을 피복하는 영역 이외의 게이트 절연층과 반도체층이 제거되고, 계속해서 절연층과 반도체층이 순서대로 구성된 적층 구조 패턴(42)이 게이트 배선(232), 공통 전극(233), 및 드레인 배선(236)의 교차부 부근, 게이트 전극(32)의 부근과, 공통 전극(33)의 부근에만 형성되도록, 그 이외 영역의 반도체층은 제거되어 반도체 영역(35)과 게이트 절연 패턴(34)이 형성된다(도 11b).

반도체층(35)의 중앙부에서 분리된 소스 전극(37)과 드레인 전극(36)은 음 콘택층을 통해 반도체 영역(35)에 연결된다. 이들 소스 전극(37)과 드레인 전극(36) 사이의 음 콘택층은 에칭되어, 소스 전극(37)과 반도체층(35), 및 드레인 전극(36)과 반도체층(35: 도 12a) 사이에서만 음 콘택층(도시되지 않음)이 형성된다.

또한, 음 콘택층이 에칭된 후위 채널부를 포함하여, 보호막(38)이 이들을 피복하도록 형성되고, 또한 평탄화층(39)이 그 상층부를 피복하도록 형성된다(도 12b). 본 실시예에서 보호막(38)과 평탄화층(39)은 제 1의 실시예와 동일한 제조 공정에서 형성된다.

본 실시예에서, 픽셀 전극(47)과 공통 전극(33)이 같은 평면위에 배치되므로, 이들 전극 사이에 전압이 공급될 때, 전계는 효율적으로 액정 분자에 전송되어, 액정 분자의 배열 성능이 향상될 수 있다.

또한, 본 실시예에서, 유리 기판상의 반도체 영역, 게이트 절연 패턴, 및 게이트 전극의 세 개 층의 적층 구조가 그 자체가 스텝으로서 비평탄성을 생성하고 제 1의 실시예에서 형성된 것보다 더 큰 스텝을 형성하지만, 이런 유리 기판 표면의 불량한 평탄 상태에서조차, 본 발명의 평탄화층이 사용되면, 유리 기판의 표면은 공정의 수를 증가하지 않고도 평탄화될 수 있다.

상기 기술한 대로, 본 발명의 능동 매트릭스 기판과 그 제조 방법에 따르면, 아크릴 수지계의 감광성 수지를 사용함으로써 보호막 상에 평탄화층이 형성되는 것에 의해, IPS의 액정 디스플레이 장치에서, 평탄화층은 공정의 수를 증가하지 않으면서 형성될 수 있고, TFT와 드레인 전극의 얼룩으로 인해 야기되는 마찰 불균일성이 억제된다.

발명의 효과

평탄화층은 공정의 수를 증가하지 않고 보호막상에 형성될 수 있고, 마찰 불균일성을 억제하는 것이 가능하다.

(57) 청구의 범위

청구항 1.

기판상에 정렬되며, 대응하는 픽셀 영역과 각각 관련된 다수의 스위칭 소자와;

상기 스위칭 소자와 관련되도록 상기 기판상에 형성된 게이트 전극과;

상기 스위칭 소자에 연결되도록 상기 기판상에 정렬된 데이터 전극과;

상기 기판 상에 정렬되며, 상기 스위칭 소자와 각각 연결된 다수의 픽셀 전극과;

상기 픽셀 영역을 결정하기 위해 상기 픽셀 전극에 인접하여 상기 기판 상에 형성된 공통 전극과;

상기 게이트 전극과 상기 공통 전극을 피복하도록 상기 스위칭 소자와 상기 픽셀 전극 상에 형성된 보호층; 및

상기 보호층 상에 형성되며, 감광성 수지로 이루어진 평탄화층을 포함하는 것을 특징으로 하는 능동 매트릭스 기판.

청구항 2.

제 1항에 있어서,

상기 게이트 전극과 상기 공통 전극은 공통적으로 게이트 절연층으로 코팅되고, 상기 픽셀 전극은 상기 게이트 절연층 상에 형성되는 것을 특징으로 하는 능동 매트릭스 기판.

청구항 3.

제 1항에 있어서,

상기 게이트 전극과 상기 공통 전극은, 상기 게이트 전극상의 적층이 상기 공통 전극 상에 형성된 적층과 분리되도록, 게이트 절연층과 반도체층으로 이루어진 상기 적층으로 코팅되고, 상기 픽셀 전극은 상기 적층에서 노출된 상기 기판 상에 형성되는 것을 특징으로 하는 능동 매트릭스 기판.

청구항 4.

제 1항에 있어서,

상기 보호층이 상기 게이트 전극의 단자부에서 단자 개구 영역을 구비하는 것을 특징으로 하는 능동 매트릭스 기판.

청구항 5.

제 1항에 있어서,

상기 감광성 수지는 아크릴 수지인 것을 특징으로 하는 능동 매트릭스 기판.

청구항 6.

제 1항에 있어서,

상기 평탄화층에 형성된 얼라인먼트층을 더 포함하는 것을 특징으로 하는 능동 매트릭스 기판.

청구항 7.

액정층을 사이에 삽입하도록 제 1항의 상기 능동 매트릭스 기판과 대향하는 대향기판으로 이루어진 것을 특징으로 하는 액정 디스플레이 장치.

청구항 8.

게이트 전극으로서도 기능하는 게이트 배선과 공통 배선을 기판 상에 형성하는 단계와;

상기 게이트 배선과 상기 공통 배선을 피복하도록 제 1의 절연층을 형성하는 단계와;

상기 제 1 절연층 상에 반도체층을 형성하는 단계와;

상기 반도체층에 연결되며 소스 전극으로도 기능하는 소스 배선과 상기 반도체층에 연결되며 드레인 전극으로서도 기능하는 드레인 배선을 상기 반도체층 상에 형성하는 단계; 및

상기 반도체층, 상기 소스 배선, 및 상기 드레인 배선을 피복하도록 제 2 절연층을 형성하고 상기 제 2 절연층 상에 제 3 절연층을 형성하는 단계를 포함하고,

상기 공통 전극과 상기 소스 전극에는 서로 평행한 공통 전극과 픽셀 전극이 각각 형성되고, 상기 제 2의 절연층의 상층부는 400nm의 파장을 갖는 광에서 투명도를 측정했을 때 90% 이상의 투명도를 갖는 감광성 수지에 의해 형성되는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

청구항 9.

제 8항에 있어서

상기 게이트 배선과 상기 공통 배선이 형성된 후, 상기 제 1 절연층과 상기 반도체층은 상기 게이트 배선과 상기 공통 배선상에 순서대로 퇴적되고, 그 후 상기 제 1의 절연층과 상기 반도체층으로 구성된 적층된 구조 패턴을 생성하도록 동일한 패턴으로 패턴화되는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

청구항 10.

제 8항에 있어서,

상기 게이트 배선과 상기 공통 배선 각각의 하부 표면 이외의 표면은 단자 영역과 종단 영역 이외의 영역에서 상기 제 1 절연층에 의해 피복되는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

청구항 11.

제 8항에 있어서,

상기 감광성 수지를 코팅, 노광, 현상, 열처리 함으로써 상기 감광성 수지가 형성되는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법

청구항 12.

제 8항에 있어서,

상기 제 2 절연층은 상기 감광성 수지 아래에 보호막을 갖는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

청구항 13.

제 8항에 있어서,

단자 개구 영역은 상기 게이트 배선의 단자와 상기 드레인 배선의 단자에서 상기 감광성 수지의 상기 단자 개구 영역을 개구하고, 상기 감광성 수지의 상기 단자 개구 영역을 통해 상기 보호막의 상기 단자 개구 영역을 더 개구함으로써 상기 제 2 절연층에 형성되는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

청구항 14.

제 8항에 있어서,

상기 감광성 수지가 아크릴 수지계로 형성되는 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

청구항 15.

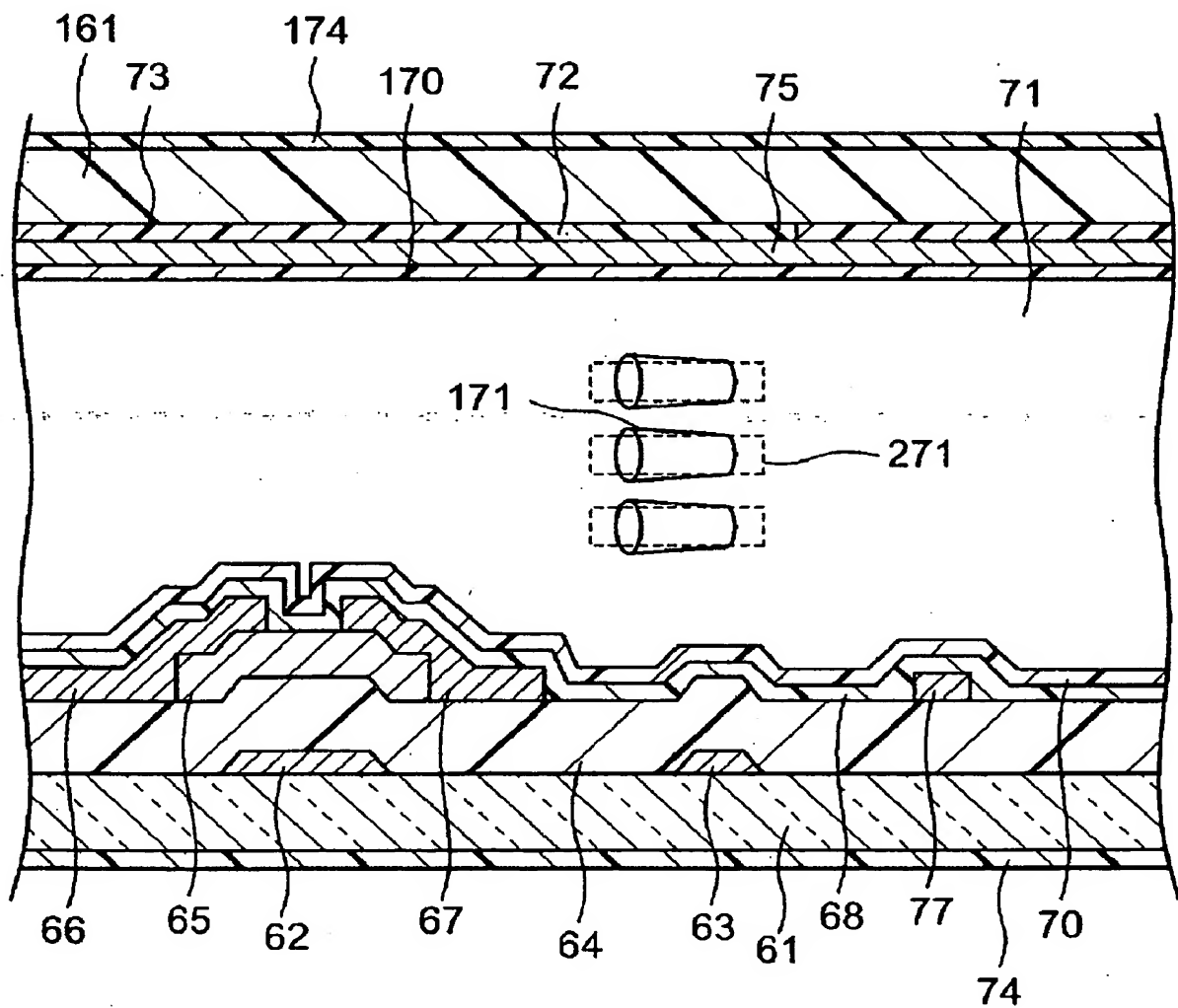
제 8항에 있어서,

상기 제 3 절연층은 얼라인먼트층인 것을 특징으로 하는 능동 매트릭스 기판의 제조 방법.

도면

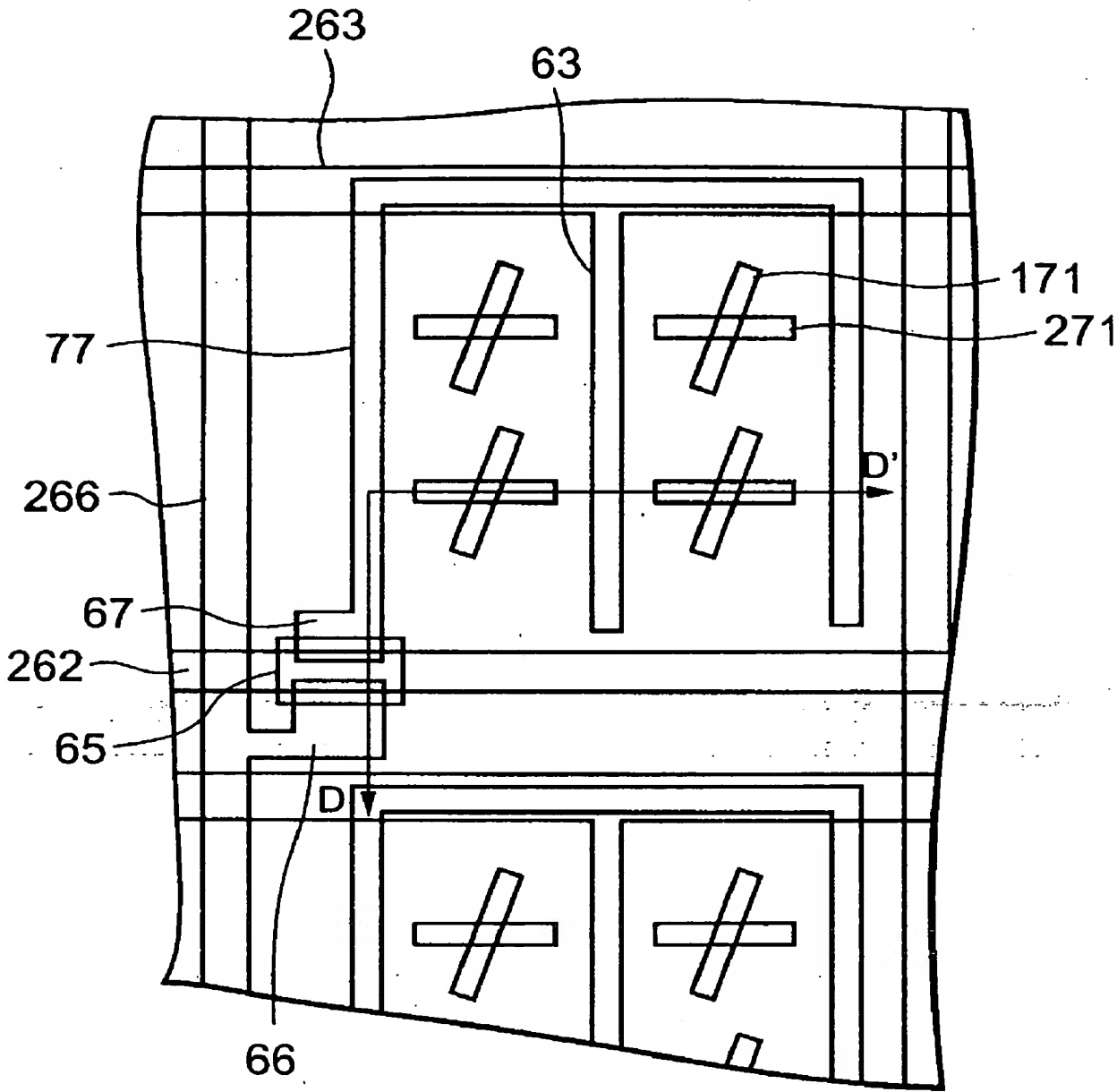
도면 1

종래기술

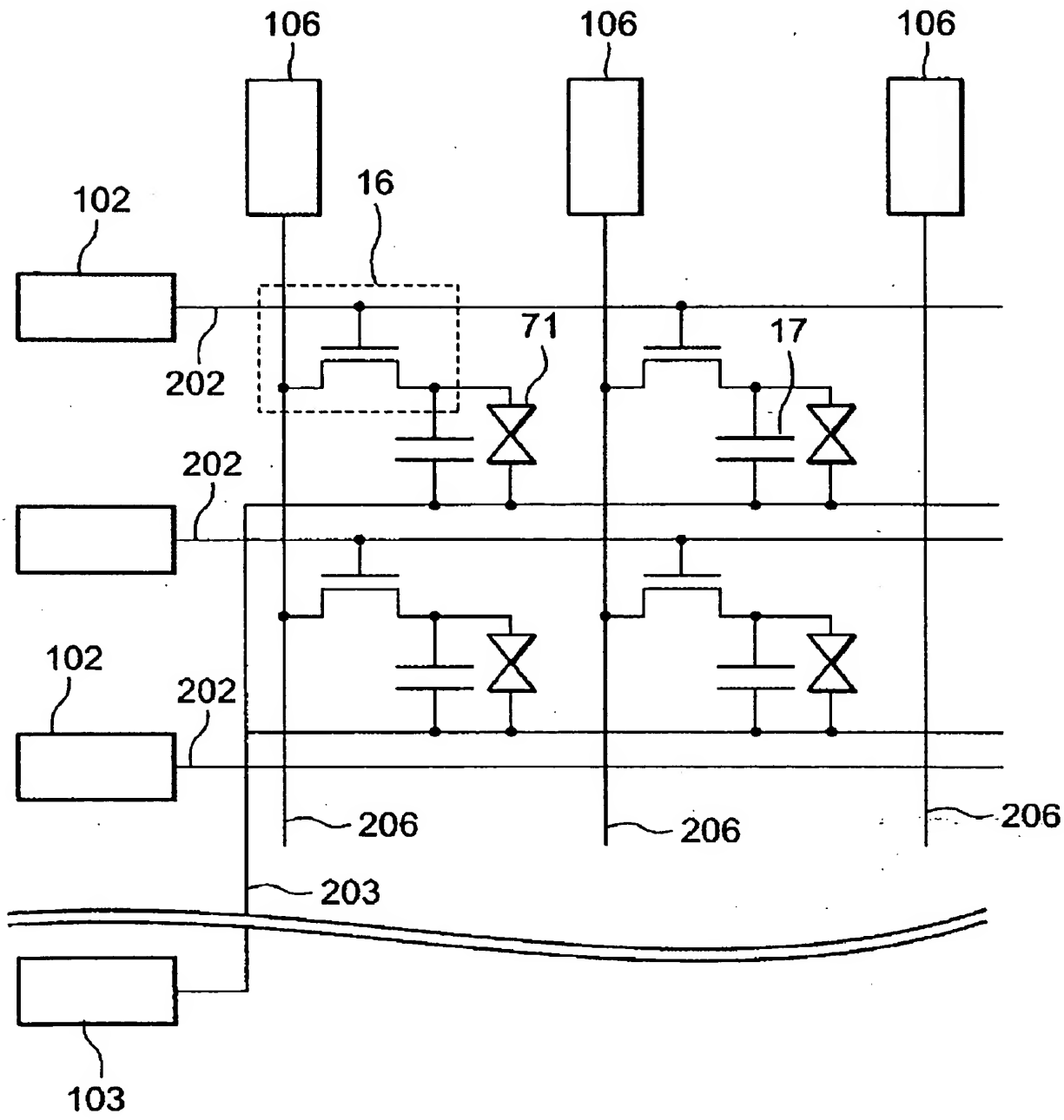


도면 2

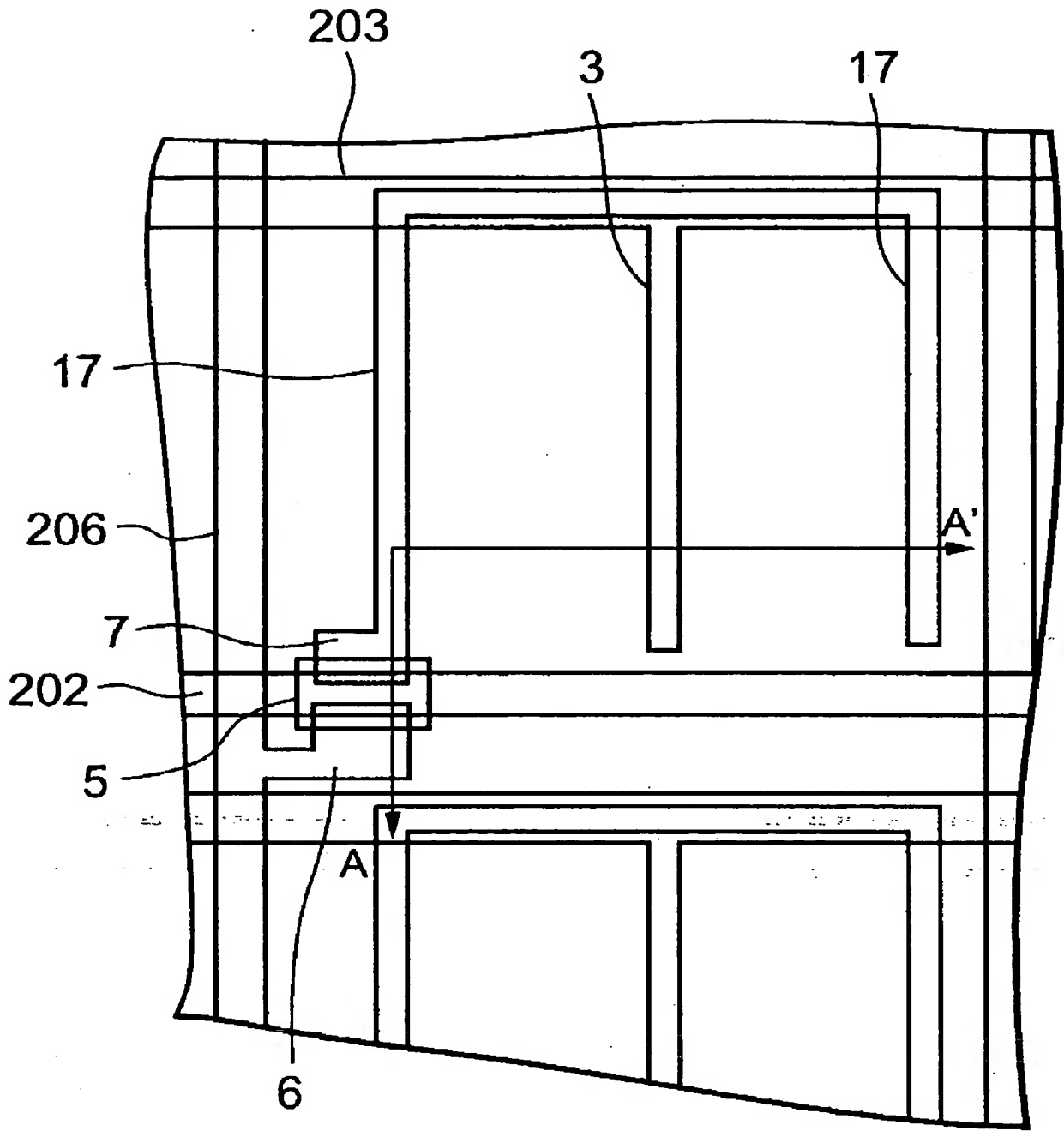
종래기술



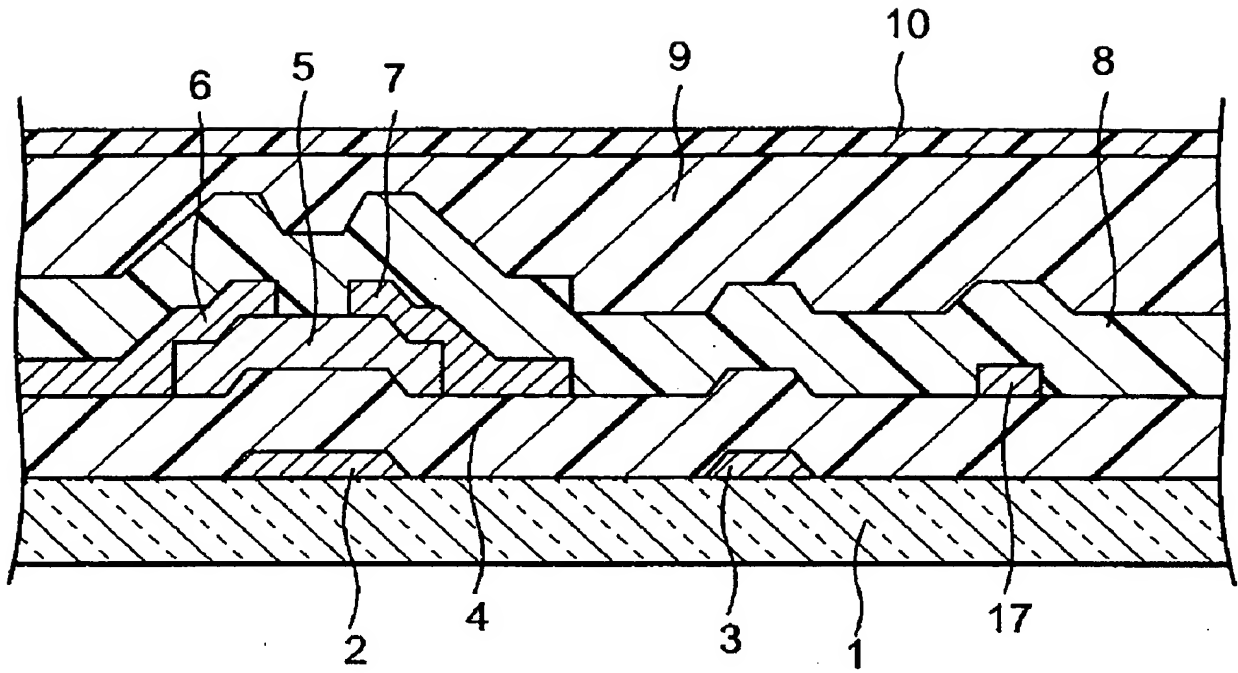
도면 3



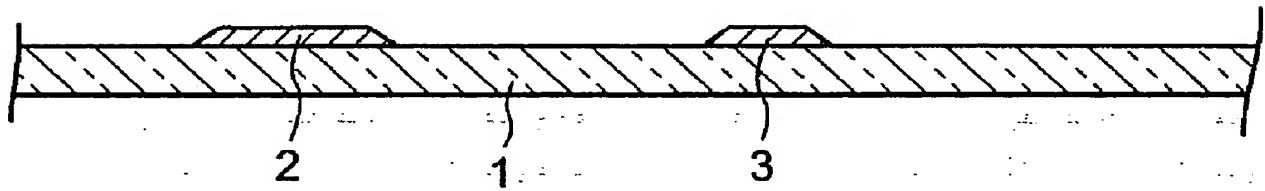
도면 4



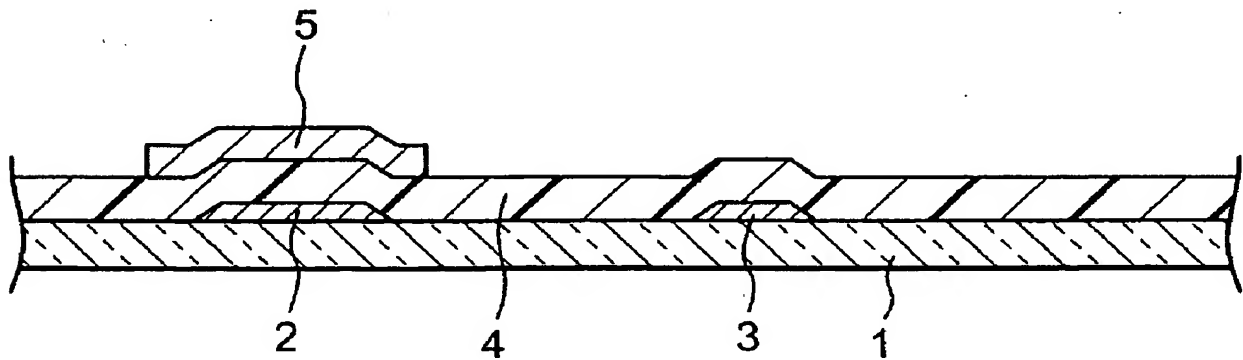
도면 5



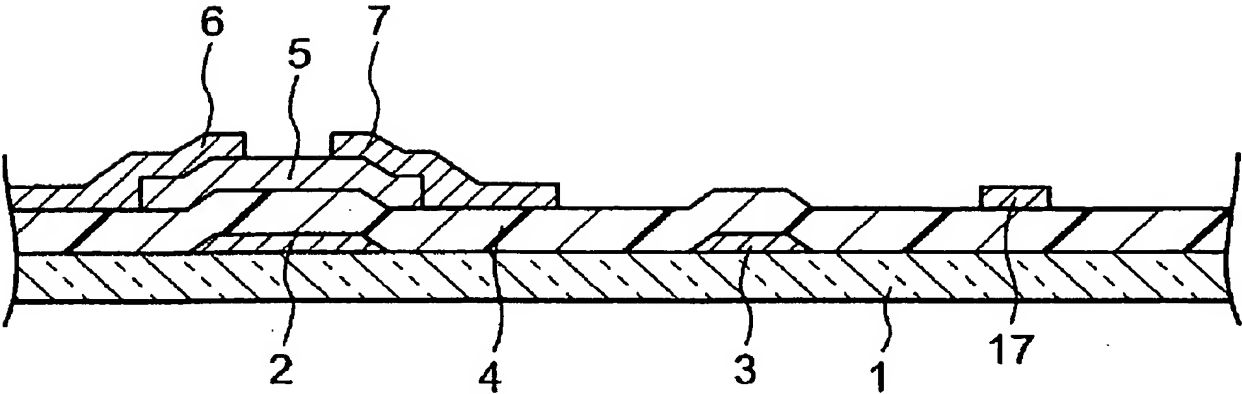
도면 6a



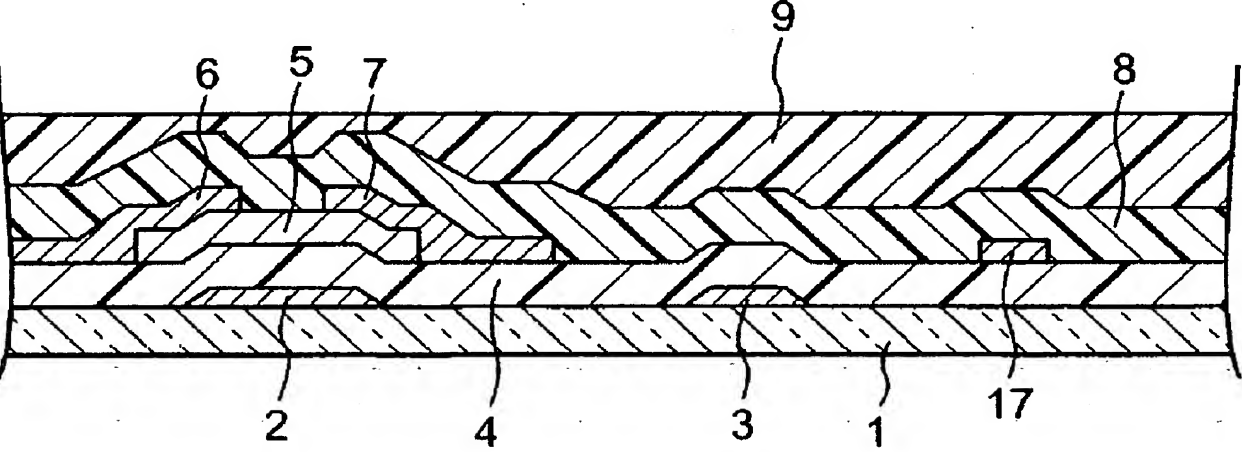
도면 6b



도면 6c

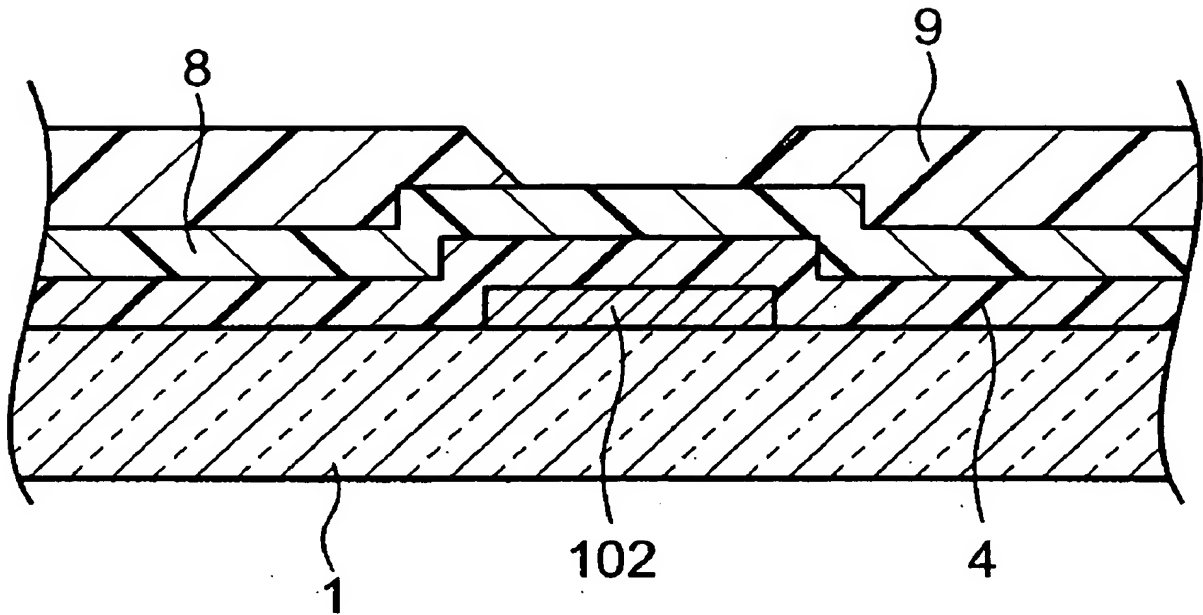


도면 6d

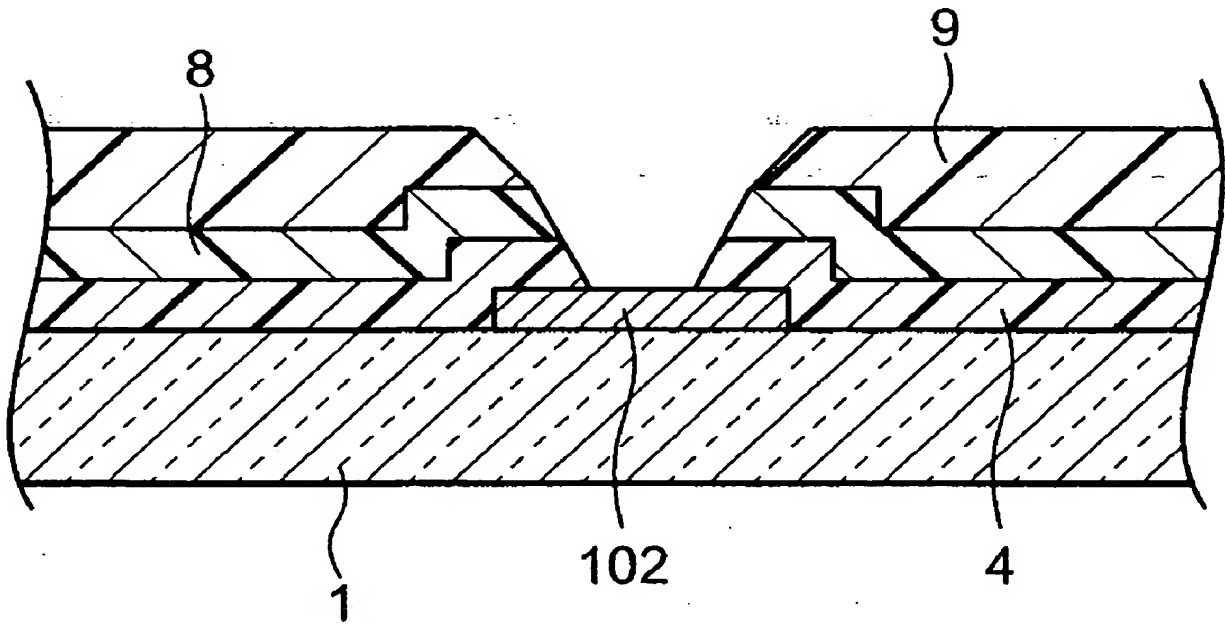


도면 7a

게이트 단자 영역

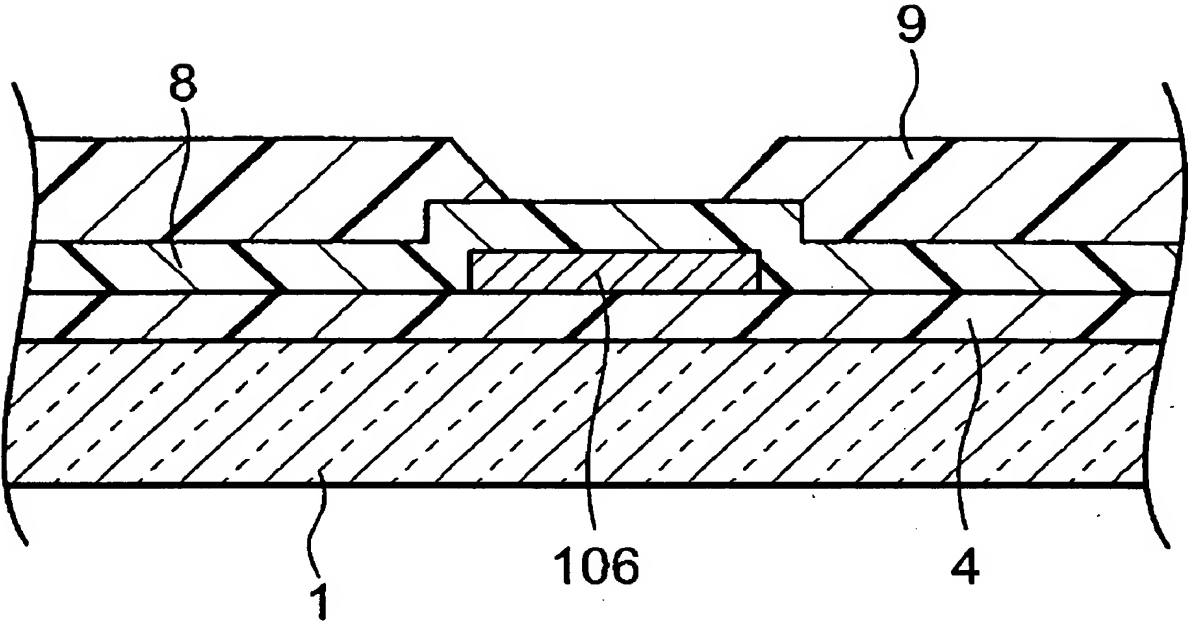


도면 7b

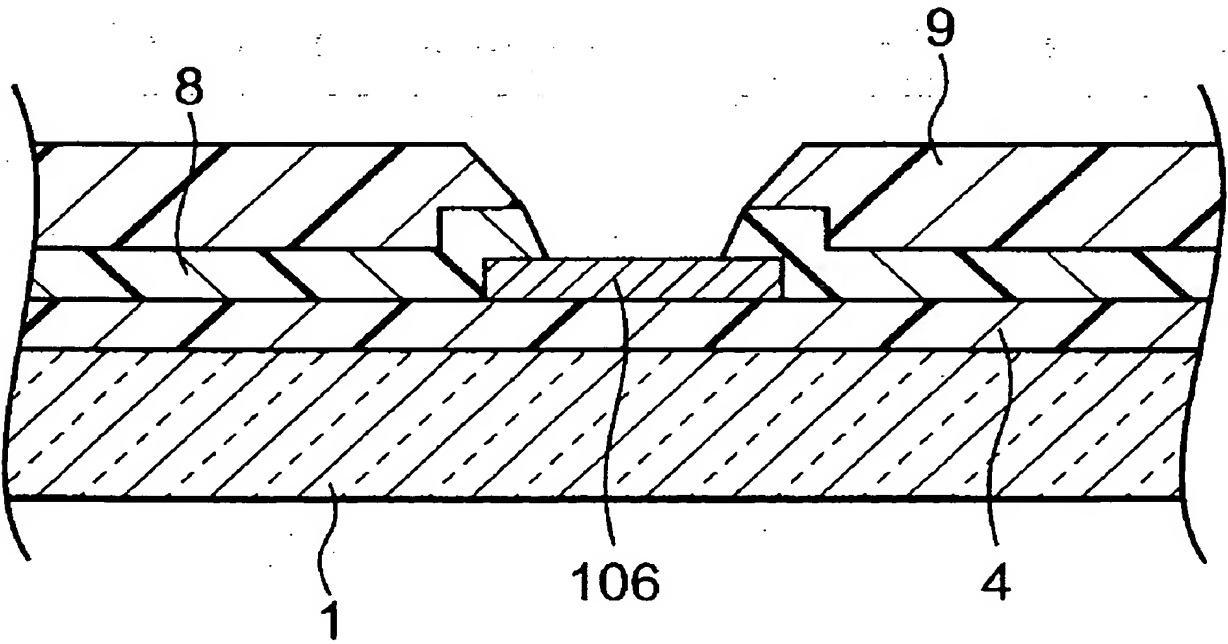


도면 8a

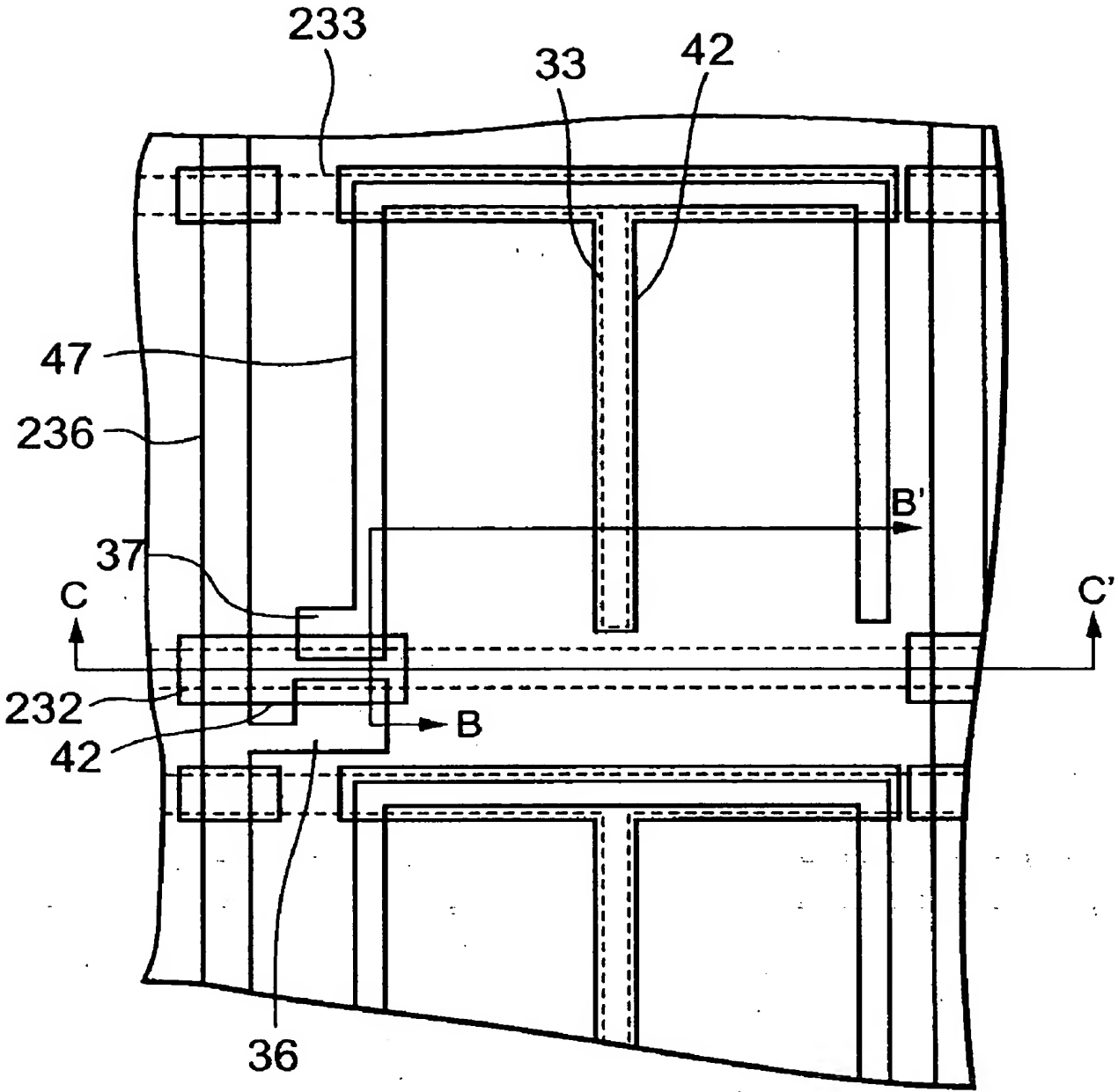
드레인 단자 영역



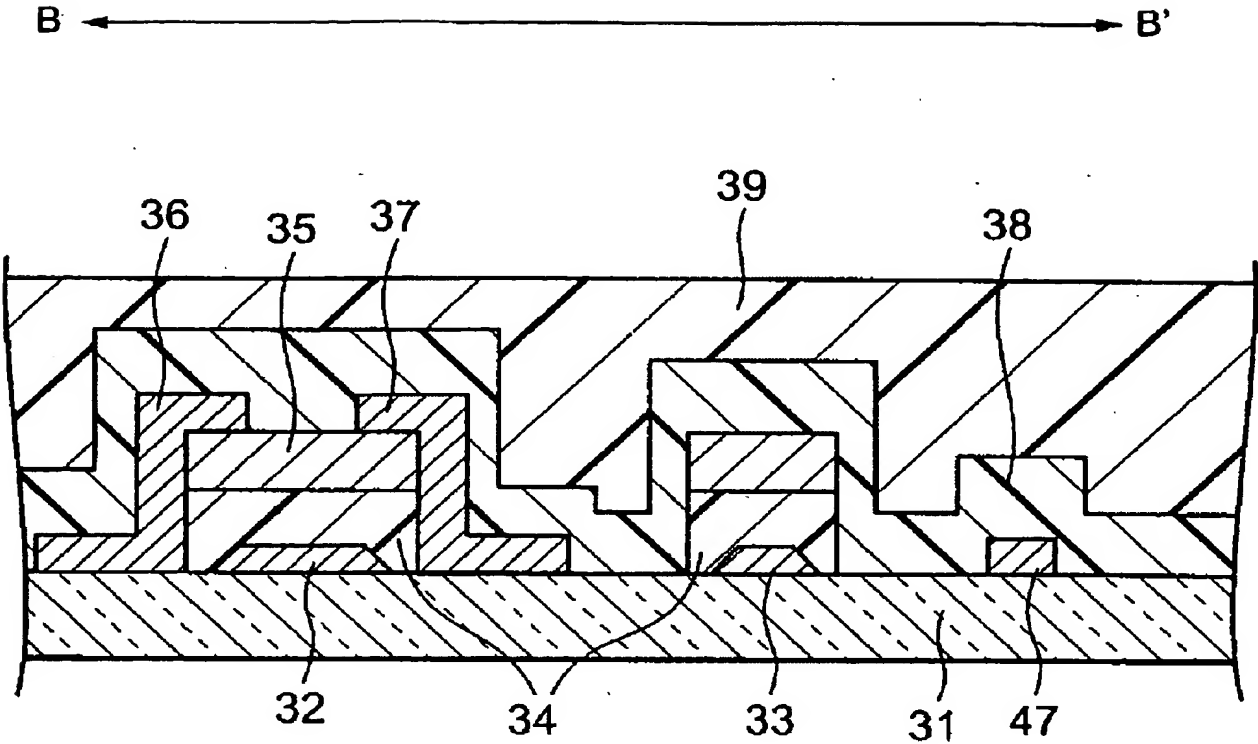
도면 8b



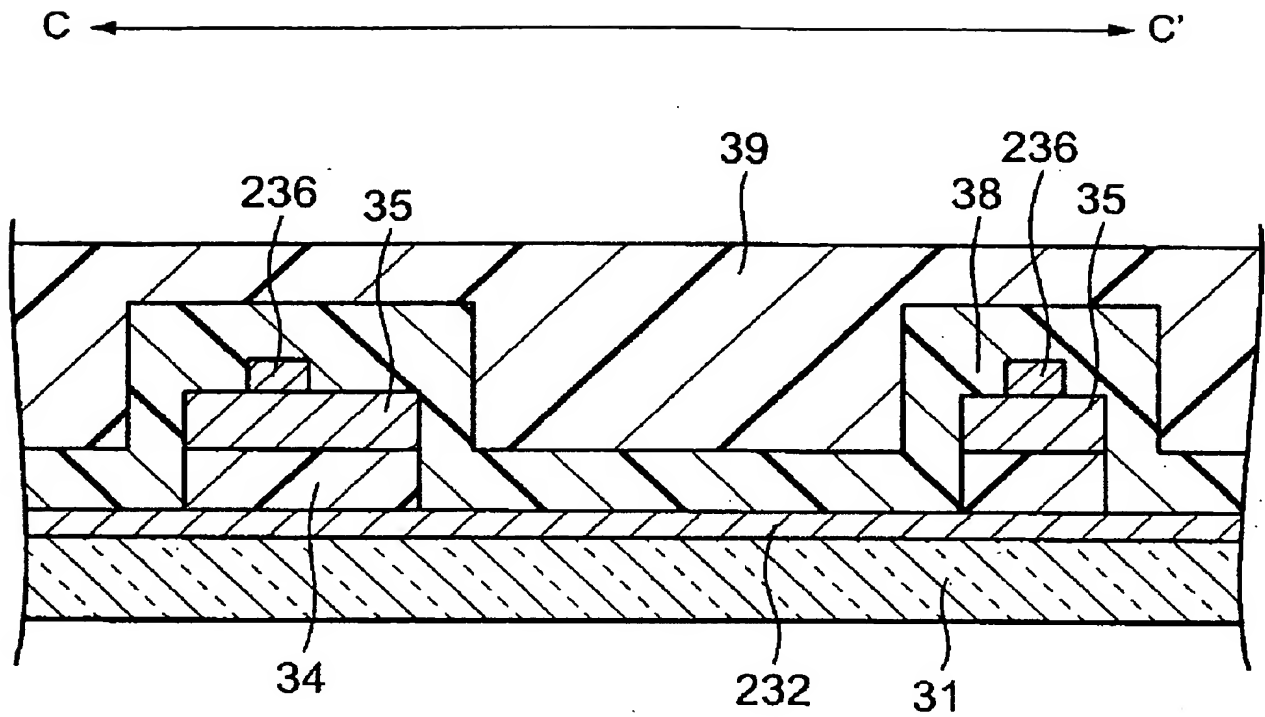
도면 9



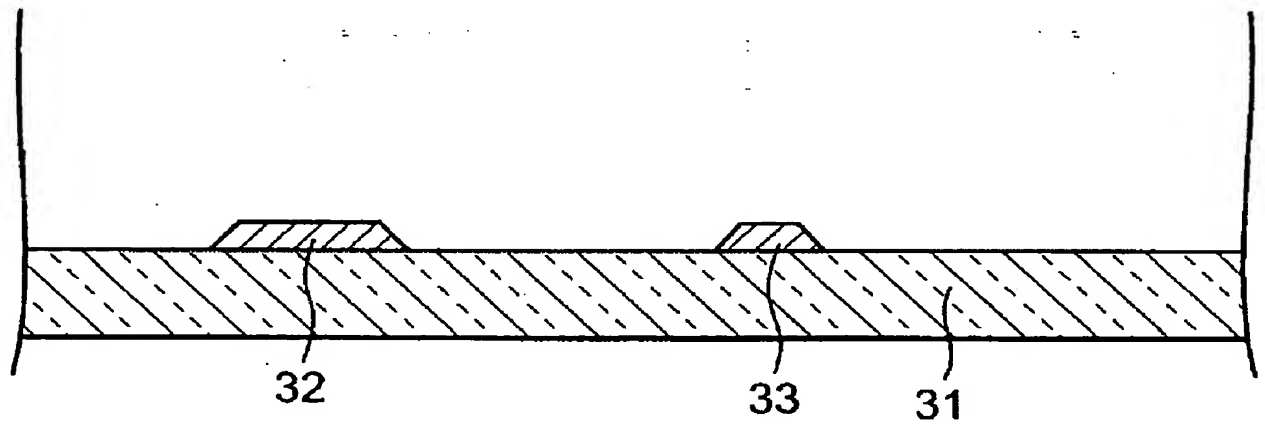
도면 10a



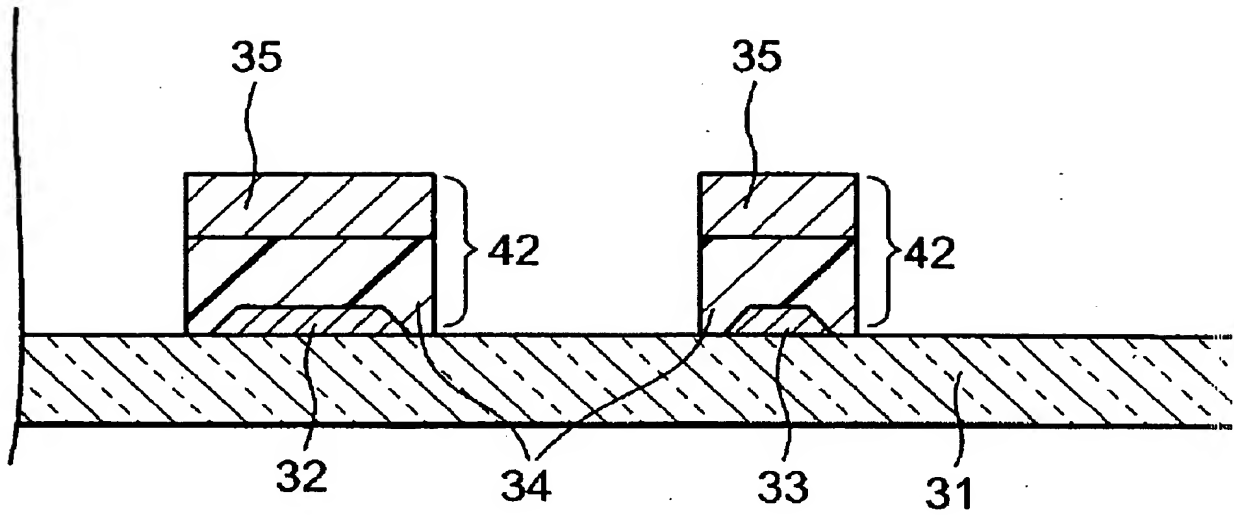
도면 10b



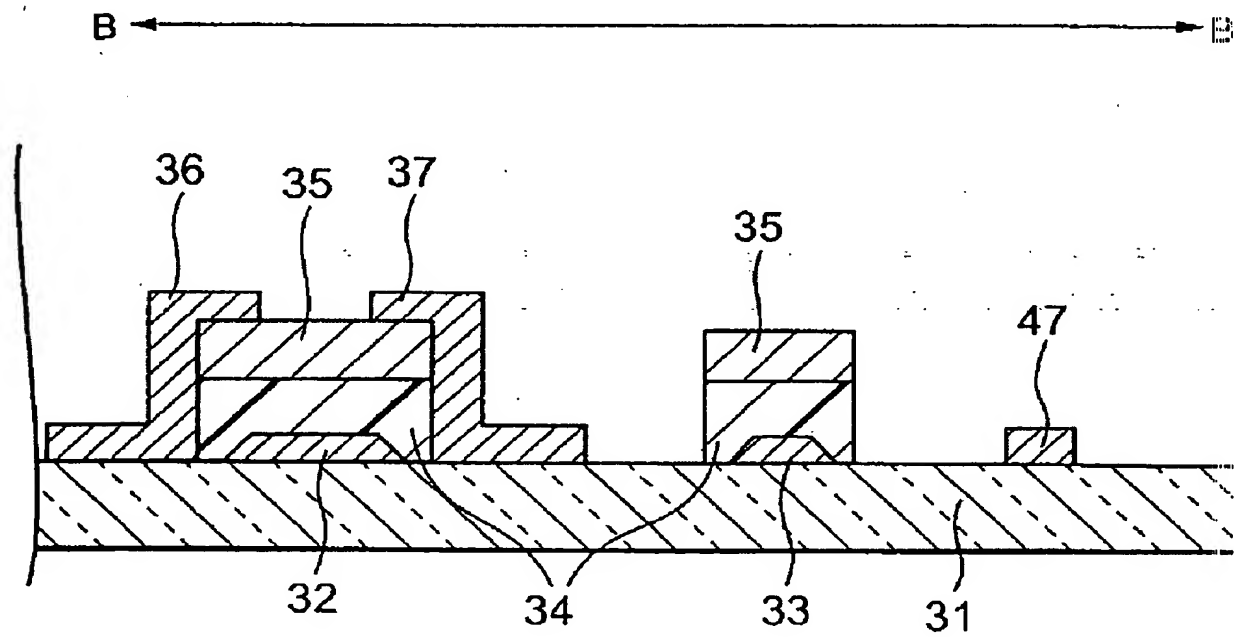
도면 11a



도면 11b



도면 12a



도면 12b

